

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-183489

(43)Date of publication of application : 18.07.1990

(51)Int.Cl.

G11C 11/401
H01L 27/108

(21)Application number : 01-002452

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.01.1989

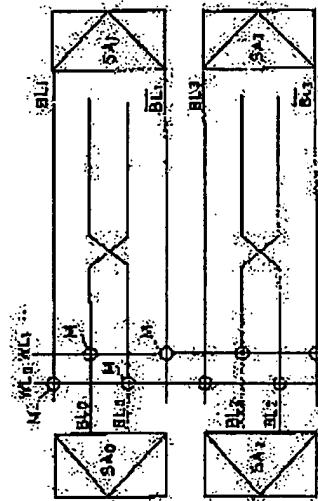
(72)Inventor : OWAKI YUKITO
TSUCHIDA KENJI
TAKASHIMA DAIZABURO

(54) DYNAMIC SEMICONDUCTOR MEMORY

(57)Abstract

PURPOSE: To effectively reduce an interference noise caused by the coupling capacity between bit lines by inserting one of two pairs of bit lines between the other pair and crossing either one of the two bit line pairs at the center part of a memory cell array in a DRAM having a turnback bit line structure.

CONSTITUTION: The DRAM is composed by arranging plural bit line pairs BL0 and the inverse of BL0, BL1 and the inverse of BL1,... and plural word lines WL0, WL2,... under a mutually crossed state and arranging memory cells M at the crossed positions of the bit line pairs and the word lines. The first bit line pair BL0 and the inverse of BL0 is made into a repeating pattern under an interposed shape between the second line pair BL1 and the inverse of BL1, the line pair BL0 and the inverse of BL0 is crossed at its longitudinal directional intermediate position once, and dynamic bit line sense amplifiers SA0, SA1,... are alternately arranged for both sides of the memory cell array and connected to the respective bit line pairs. Although the minimum limit means for realizing an electric effect is indicated here, the effect can be a further satisfactory one when the line pairs are further crossed in the neighborhoods of the amplifiers.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C), 1998,2003 Japan Patent Office

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-183489

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月18日

G 11 C 11/401
H 01 L 27/108

8522-5B
8624-5F

G 11 C 11/34
H 01 L 27/10

3 6 2 B
3 2 5 T

審査請求 未請求 請求項の数 6 (全13頁)

⑮ 発明の名称 ダイナミック型半導体記憶装置

⑯ 特 願 平1-2452

⑰ 出 願 平1(1989)1月9日

⑱ 発 明 者 大 脇 幸 人 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 発 明 者 土 田 賢 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑳ 発 明 者 高 島 大 三 郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉒ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

ダイナミック型半導体記憶装置

2. 特許請求の範囲

(1) 折返しビット線構造の複数本のビット線とこれと交差する複数本のワード線が配設され、これらビット線とワード線の交点位置にメモリセルが配置されるメモリセルアレイ構成を有するダイナミック型半導体記憶装置において、

第1のビット線対を、第2のビット線対の間に配設する構成を単位構成としてこれが繰返し配設され、且つ、

第1のビット線対または第2のビット線対のいずれか一方は、対を構成する二本のビット線をその長手方向の中間位置で交差させた、ことを特徴とするダイナミック型半導体記憶装置。

(2) 単位構成のうち外側のビット線対を交差させたものと内側のビット線対を交差させたものを、ワード線方向交互に配列した請求項1記載のダイナミック型半導体記憶装置。

(3) 単位構成の中で第1のビット線対が第2のビット線対の間に入る部分と第2のビット線対が第1のビット線対の間に入る部分を有する請求項1記載のダイナミック型半導体記憶装置。

(4) 第1のビット線対に接続されるダイナミック型センスアンプと第2のビット線に接続されるダイナミック型センスアンプはメモリセルアレイの両側に分れて配設される請求項1記載のダイナミック型半導体記憶装置。

(5) 第1のビット線に接続されるダイナミック型センスアンプと第2のビット線に接続されるダイナミック型センスアンプがビット線の交差部を含むメモリセルアレイの中間位置に配設される請求項1記載のダイナミック型半導体記憶装置。

(6) ダイナミック型センスアンプはMOSトランジスタを用いて構成されたフリップフロップであり、ビット線対の交差部は、ビット線対がそれぞれ接続されるビット線対より下層のセンスアンプ用MOSトランジスタのゲート電極をビット線の一部として用いて構成される請求項5記載の

ダイナミック型半導体記憶装置。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

本発明は、ダイナミック型半導体記憶装置（DRAM）に係り、特にビット線間の干渉ノイズの低減を図った高密度DRAMに関する。

（従来の技術）

1トランジスタ/1キャパシタのメモリセル構造を持つDRAMは、メモリセル構造の改良と微細加工技術の進歩により著しく高集積化が進んでいる。DRAMのメモリセルアレイのデータは、ビット線対を通してセンスアンプで増幅されて読み出される。DRAMの高密度化によりビット線間隔は極めて微細になっており、ビット線間結合容量の増大によるビット線間の干渉ノイズが、データを正確に読み出す上で火きい問題となってきた（例えば、JSSC oct. 1988, H. Aoki他 pp1113-1119, Y. Nakagawa 他 pp1120-1127等）。

第22図および第23図を用いて上述の干渉減

音の問題を具体的に説明する。第22図は、通常の折返しビット線構造のDRAMメモリセルアレイの隣接する4対のビット線 $BL_0, \overline{BL_1} (BL_0, BL_0, BL_1, \overline{BL_1}, \dots)$ とこれらに接続されるダイナミック型センスアンプSA (SA₀, SA₁, ...) の部分の等価回路であり、第23図はその動作時の各部の電圧波形である。なおここでは、隣接ビット線間のノイズを δ_1 （セルデータ読出し時）と δ_2 （センスアンプ活性化時）に分けて説明する。また、以下の仮定をおく。

① ノイズは隣接するビット線のみから受ける。

② ビット線は $(1/2)V_{cc}$ プリチャージ方式とし、ワード線WLが立上るとセルデータは一方のビット線BLに出力され、他方のビット線 \overline{BL} は隣接ビット線からのノイズによる電位変化はないものとする。

③ 隣接ビット線間容量は、対をなすビット線間容量 (C_{later})、異なる対のビット線間容量 (C_{lstra}) 共にCとする。

以上の仮定は説明の便宜上のもので、実際には

他の動作モード例えばV_{cc} プリチャージ方式の場合にも有効である。

DRAMがアクティブ状態になり、ワード線WL₀が選択されるとメモリセルM (M₁, M₂, ...) からビット線BL₀, BL₁, ... に信号電圧が読み出される。いま注目カラムをセンスアンプSA₁のカラムとすると、干渉ノイズが最も大きい最悪パターンは、M₁=L, M₂=L, M₃=L, M₄=Hの場合である。“L”レベルの読出し信号電位が-V_s、“H”レベルの読出し信号電位が+V_sとすると、最悪パターンのデータが読み出された場合の各ビット線にのるノイズは次の表のようになる。但し、ビット線の総容量C_{total}に対するビット線間結合容量Cの比（結合比）をC/C_{total}=C_nとしてある。

	プリチャージ電位	信号	C _{later} 結合/1X	C _{lstra} 結合/1X
BL ₀	(1/2)V _{cc}	-V _s	-C _n V _s	-C _n V _s
$\overline{BL_0}$	(1/2)V _{cc}	-V _s	-C _n V _s	-C _n V _s
BL ₁	(1/2)V _{cc}	-V _s	-C _n V _s	-C _n V _s
$\overline{BL_1}$	(1/2)V _{cc}	-V _s	-C _n V _s	-C _n V _s
BL ₂	(1/2)V _{cc}	-V _s	+C _n V _s	-C _n V _s
$\overline{BL_2}$	(1/2)V _{cc}	-V _s	+C _n V _s	-C _n V _s

これにより、注目カラムのビット線BL₁, $\overline{BL_1}$ 間の電位差は、

$$\{(1/2)V_{cc} - V_s\} - \{(1/2)V_{cc} - 2C_n V_s\} = -V_s + 2C_n V_s$$

となり、従ってデータ読出し時のノイズは、 $\delta_1 = 2C_n V_s$ となる。

次にセンスアンプ活性化時のノイズ δ_2 については次の通りである。簡単のためセンスアンプはnチャネルMOSトランジスタにより構成されたダイナミック型フリップフロップ (NMOSセンスアンプ) とし、その共通ソース電位 ϕ_s が第23図に示すように $(1/2)V_{cc}$ よりゆっくり低下する場合を考える。 ϕ_s を下げるに従い各センスアンプはオンするが、オンする時間には差がある。先ず、 ϕ_s の電位が、 $(1/2)V_{cc} - V_{th}$ となった時点で、センスアンプSA₂がオンし、ビット線BL₂の放電が開始される。次いで ϕ_s が、 $(1/2)V_{cc} - 2C_n V_s - V_{th}$ 或いはそれ以下となった時点でセンスアン

プSA₀、SA₁がオンし、ビット線BL₀、BL₁の放電が開始される。従って注目カラムのビットBL₁はこれに先だって放電を開始するビット線BL₂のため更に干渉ノイズを受けることになる。このノイズδ₂は、φ_sが十分ゆっくり下がるとすると、第23図に示すように、

$$\begin{aligned} \delta_2 &= C_n[(V_{BL2} - V_{BL1} + V_{th}) + (V_{BL1} - V_{BL0})] \\ &= C_n(-V_s + V_{th} + 2C_n V_s) \end{aligned}$$

となる。以上をまとめると、通常の折返しビット線構造のDRAMではビット線間の干渉ノイズとして、

$$\delta_1 + \delta_2 = 2C_n^2 V_s + C_n(V_s + V_{th}) \quad \cdots (1)$$

を受けることになる。

このようなビット線間干渉ノイズは、集積度の向上に伴うビット線間の距離の縮小によりますます大きくなる。最悪の場合、センスアンプに入力される信号電位差がこの干渉ノイズより小さくなり、センスアンプ感度以下になるとセンスアンプが逆

データをラッチするという誤動作を生じる。

このような問題を解決する方式として従来、ビット線を交差させることにより、干渉ノイズ低減を図るものが提案されている。例えば、①特開昭63-148489号公報、②ISSCC88 Digest of Technical Papers pp238-239等がある。しかし前者①の方式では対をなすビット線同士の間結合容量C_{latra}による干渉ノイズが除去できず、またビット線長手方向にビット線交差部を複数箇所必要とし、この交差部のためチップ面積が増大する。後者②のFig. 4(b)の方式は干渉ノイズを原理的には完全に除去できるが、その分ビット線交差部は一面複雑となり、従って更にチップ面積の増大をもたらす、といった問題があった。

(発明が解決しようとする課題)

以上のように、高集積化DRAMのビット線間の干渉雑音を低減する方式として従来提案されているものは、ビット線交差のためにチップ面積が増大するという問題があった。

本発明はこの様な点に鑑みなされたもので、チップ面積の増大をもたらすことなく、効果的にビット線間の干渉雑音の低減を図ったDRAMを提供することを目的とする。

【発明の構成】

(課題を解決するための手段)

本発明は、折返しビット線構造のDRAMにおいて、第1のビット線対を第2のビット線対の間に配設する、という構成を基本単位とし、これを繰返し配設すると共に、第1のビット線対または第2のビット線対の少なくとも一方をその長手方向の中間部で交差させたことを特徴とする。

(作用)

本発明によれば、一つのビット線対の間に他のビット線対を挟む形とし、且つその一方のビット線対を交差させることで、効果的に干渉雑音を低減することができる。しかもこの場合、第1、第2のビット線対の一方には交差部を設けず、他方についてのみ中間位置で交差させる構成とすれば、メモリセルアレイ全体としてビット線交差部

は最少限の数となり、ビット線交差によるチップ面積の増大は避けられる。

(実施例)

以下、本発明の実施例を説明する。

第1図は一実施例のDRAMの概略構成を示す。メモリセルアレイは、複数のビット線対BL、BL(BL₀、BL₀、BL₁、BL₁、...)と複数のワード線WL(WL₀、WL₁、...)が互いに交差して配設され、それらの交点位置にメモリセルMを配置して構成される。ビット線対BL、BLは、第1のビット線対BL₀、BL₀が第2のビット線対BL₁、BL₁の間に挟まれる形で、その繰返しパターンとして配設されている。第1のビット線対BL₀、BL₀はその長手方向の中間位置で一回交差させている。ダイナミック型ビット線センスアンプSA(SA₀、SA₁、...)は交互にメモリセルアレイの両側に配置されて各ビット線対に接続されている。

この実施例のDRAMでのビット線間干渉ノイズが最悪条件となるのは、第2図に示すようなデ

ータ・パターンの場合である。このようなデータ（信号電位 V_s ）が読み出された場合の各ビット線の電位は、ビット線の間交差により容量結合が半分になる部分があることを考慮して以下のようになる。但し、プリチャージ電位を V_p としている。

$$V_{BL0} = V_p - V_s - (1/2) C_n V_s$$

$$V_{BL1} = V_p - (3/2) C_n V_s$$

$$V_{BL2} = V_p - V_s - (1/2) C_n V_s$$

$$V_{BL3} = V_p - (3/2) C_n V_s$$

$$V_{BL4} = V_p + V_s - (1/2) C_n V_s$$

$$V_{BL5} = V_p + (1/2) C_n V_s$$

$$V_{BL6} = V_p - V_s + (1/2) C_n V_s$$

$$V_{BL7} = V_p - (1/2) C_n V_s$$

上記ビット線の電位関係から、どのカラムも等しく、 $\delta_1 = C_n V_s$ となる。次に注目カラムをセンスアンプ SA_1 とし、従来技術で説明したようにNMOSセンスアンプを考えてこれを活性化した時のノイズ δ_2 を求める。センスアンプがオンする順序は、 SA_3 が最初であり、次いで

SA_0 、 SA_1 が同時にオンする。従って注目カラムに対してノイズ源となるのは、ビット線 BL_3 の放電であり、

$$\delta_2$$

$$= C_n [(V_{BL3} - V_{BL1} + V_{th}) + (V_{BL1} - V_{BL7})]$$

$$= 2 C_n^2 V_s + (V_{th} - V_s) C_n$$

となる。従って、

$$\delta_1 + \delta_2 = 2 C_n^2 V_s + V_{th} C_n \quad (2)$$

となる。これは先に説明した従来の折返しビット線構造DRAMでの(1)式で示されるノイズに比べて低減されており、しかもビット線交差数は2対のビット線について1箇所であり、従ってチップ面積の増大をもたらすことはない。

第1図では、本発明の電気的効果を実現する最低限の手段を示したが、更に各ビット線対をセンスアンプ近傍で交差させることも有効である。その1例を第24図に示す。

第3図は第2の実施例のDRAMの要部構成を示す。先の実施例と逆にこの実施例では、2対のビット線対のうち外側のビット線対を中間部で交

差させている。

この実施例でのビット線間ノイズに関する最悪条件は、第4図に示すデータ・パターンの場合である。この条件は、先の実施例の第2図と等価であり、従って(2)式のノイズが注目ビット線に乗ることになる。

第3図では、本発明の電気的効果を実現する最低限の手段を示したが、更に各ビット線対をセンスアンプ近傍で交差させることも有効である。その1例を第25図に示す。

第5図は、第1図の方式と第3図の方式を組合わせた実施例のDRAMの要部構成である。即ち、最初の2対のビット線については外側のビット線対を交差させ、次の2対のビット線については内側のビット線対を交差させている。以下、同様のビット線構成が繰返される。

この実施例の場合、ノイズ δ_1 と δ_2 各々によって最悪条件が異なり、それらの比較によりいずれが真に最悪であるかが決る。

第6図は、ノイズ δ_1 を考えた場合のセンスア

ンプ SA_1 に注目した時の最悪パターンである。

このとき各ビット線の電位は次のようになる。

$$V_{BL1} = V_p - V_s + C_n V_s$$

$$V_{BL2} = V_p + C_n V_s$$

$$V_{BL3} = V_p - V_s - (1/2) C_n V_s$$

$$V_{BL4} = V_p - (3/2) C_n V_s$$

$$V_{BL5} = V_p - V_s$$

$$V_{BL6} = V_p - C_n V_s$$

$$V_{BL7} = V_p + V_s + (1/2) C_n V_s$$

$$V_{BL8} = V_p + (3/2) C_n V_s$$

$$V_{BL9} = V_p + V_s - C_n V_s$$

$$V_{BL10} = V_p - C_n V_s$$

上記各ビット線の電位関係から、 $\delta_1 = C_n V_s$ である。注目カラムがセンスアンプ SA_3 の時これに隣接するのは、 SA_1 、 SA_2 、 SA_9 のカラムである。センスアンプ活性化時、センスアンプがオンする順番は、 $SA_9 \rightarrow SA_1 \rightarrow SA_3 \rightarrow SA_2$ である。センスアンプ SA_9 のオンによるビット線 BL_9 の放電はマージン向上の方向である。以上により、

$\delta_2 (SA_5)$
 $= (1/2) C_n (V_{BL5} - V_{BL5} + V_{th}) + (V_{BL5} - V_{BL5})$
 $= - (1/2) C_n V_{th}$
 となる。一方、センスアンプ SA_1 のオンによるビット線 BL_1 の放電はマージン低下の方向であり、

$\delta_2 (SA_1)$
 $= (1/2) C_n \{ (V_{BL1} - V_{BL1} + V_{th}) + (V_{BL1} - V_{BL1}) \}$
 $= (1/2) C_n (-V_s + V_{th} + 2 C_n V_s)$
 となる。従って、

$$\begin{aligned} \delta_1 &= \delta_2 (SA_5) + \delta_2 (SA_1) \\ &= C_n^2 V_s - (1/2) C_n V_s \\ \text{である。} \delta_1 \text{ と } \delta_2 \text{ をまとめると、} \\ \delta_1 + \delta_2 &= C_n V_s [C_n + (1/2)] \end{aligned} \quad (3)$$

となる。

次にノイズ δ_2 を考えた場合の最悪パターンでの各ビット線の電位関係は以下の通りである。ここでもセンスアンプ SA_3 のカラムを注目している。先の例ではセンスアンプ SA_5 のオンによる

ビット線 BL_5 の放電がマージン向上の方向にいた。そこでセンスアンプ SA_5 の読み出しデータを "H" → "L" とすると、センスアンプ SA_5 は注目カラムのセンスアンプ SA_3 と放電開始時刻が同じになる。

$$\begin{aligned} V_{BL1} &= V_p - V_s + C_n V_s \\ V_{BL2} &= V_p + C_n V_s \quad (\delta_1 = 0) \\ V_{BL3} &= V_p - V_s - (1/2) C_n V_s \\ V_{BL4} &= V_p - (3/2) C_n V_s \quad (\delta_1 = C_n V_s) \\ V_{BL5} &= V_p - V_s - C_n V_s \\ V_{BL6} &= V_p - C_n V_s \quad (\delta_1 = 0) \\ V_{BL7} &= V_p - V_s - (1/2) C_n V_s \\ V_{BL8} &= V_p - (3/2) C_n V_s \quad (\delta_1 = C_n V_s) \end{aligned}$$

$V_{BL9} = V_p - V_s - C_n V_s$
 $V_{BL10} = V_p - C_n V_s \quad (\delta_1 = 0)$
 上記電位関係から、センスアンプが活性化してセンスアンプがオンする順序は、 $SA_1 \rightarrow SA_3, SA_5 \rightarrow SA_2, SA_4$ となる。これにより、注

目カラムに対してノイズとなるのはセンスアンプ SA のカラムのビット線 BL_1 の放電である。従って、

$$\begin{aligned} \delta_2 &= (1/2) C_n \{ (V_{BL1} - V_{BL1} + V_{th}) + (V_{BL1} - V_{BL1}) \} \\ &= (1/2) C_n (-V_s + V_{th} + 2 C_n V_s) \\ \text{以上より、} \\ \delta_1 + \delta_2 &= C_n^2 V_s + (1/2) C_n (V_{th} - V_s) \end{aligned} \quad (4)$$

となる。
 以上の解析結果から、(4) 式の場合が最悪条件であるということになる。そして第5図の実施例では、第1図および第3図の実施例よりノイズが小さく、交差数は一個であるから、非常に有効であることがわかる。

第5図では本発明の電気的効果を実現する最低限の手段を示しているが、更に各ビット線対をセンスアンプ近傍で交差させることも有効である。その1例を第26図に示す。

第7図は別の実施例のDRAMの要部構成であ

る。この実施例では、メモリセルアレイをビット線方向に二分して、組となる2対のビット線の内側、外側の関係を右半分と左半分とで逆にしたものである。この実施例によっても、先の実施例とほぼ同等の効果が得られる。

第8図は別の実施例のDRAMの要部構成である。この実施例では、最初の2対のビット線については中間部で交差させ、次の2対のビット線については1/4の点および3/4の点の2点で交差させたものである。以下、同様の繰返しとする。

第9図は、この実施例での各ビット線間の結合の強さを結合容量 C を用いてまとめたものである。この実施例でも、ビット線交差数は少なく、しかも通常の折返しビット線構造に比べてノイズ低減が図られる。

第10図は更に他の実施例のDRAMの要部構成である。この実施例では、第7図の方式と第8図の方式を組合わせている。

第11図はこの実施例での各ビット線間の結合の強さを先の実施例と同様に結合容量 C を用いて

まとめたものである。この実施例によっても先の実施例と同様の効果が得られる。

以上の実施例では、ビット センスアンプをメモリセルアレイの両側に配置した場合を説明したが、本発明はこれをメモリセルアレイの中間位置に設けた場合も有効である。その場合、ビット線交差をビット線センスアンプを構成するMOSトランジスタのゲート電極を利用して特別な交差用配線を用いることなく実現することが可能になる。

第12図はその構成原理を説明するための図である。第1のビット線対 $BL_0, \overline{BL_0}$ を第2のビット線対 $BL_1, \overline{BL_1}$ の間に挟み、且つ第1のビット線対 $BL_0, \overline{BL_0}$ をその中央部で交差させる場合、図のようにこれらのビット線対 $BL_0, \overline{BL_0}$ に接続されるMOSトランジスタのゲート電極 $1_1, 1_2$ をそれぞれビット線の一部として用いる。そしてビット線 $\overline{BL_0}$ をゲート電極 1_2 上を這わせる。例えばゲート電極 $1_1, 1_2$ を第1層多結晶シリコン膜とし、ビット線を第2層多結晶シリコン膜とした場合、第3層多結

晶シリコン膜等を用いることなく、2層の多結晶シリコン膜のみで交差配線が行われる。

第13図は、第12図とは逆に外側の第2のビット線対 $BL_1, \overline{BL_1}$ を交差させる場合である。この場合も、これら第2のビット線対 $BL_1, \overline{BL_1}$ に接続されるセンスアンプのMOSトランジスタのゲート電極 $2_1, 2_2$ をそれらの配線の一部として用いて同様に交差配線を実現することができる。

第14図は、第1図のビット線構成の実施例に対して、そのビット線センスアンプをビット線交差部に配置した実施例を等価回路的に示したものである。第15図はその具体的にレイアウトである。なおビット線センスアンプSAは、各ビット線対に対してnチャネルMOSトランジスタにより構成されたダイナミック型フリップフロップ(NMOSセンスアンプ)とpチャネルMOSトランジスタにより構成されたダイナミック型フリップフロップ(PMOSセンスアンプ)とが設けられるが、ここではその一方のPMOSセンスア

ンプPSAのみを示している。NMOSセンスアンプは、PMOSセンスアンプと並べてメモリセルアレイ内に形成してもよいし、またPMOSセンスアンプとは離してメモリセルアレイの両側に配置してもよい。図に示すように、第1のビット線対 $BL_0, \overline{BL_0}$ に接続されるPMOSセンスアンプPSA₀を構成する二つのMOSトランジスタTr1, Tr2と、第2のビット線対 $BL_1, \overline{BL_1}$ に接続される二つのMOSトランジスタTr3, Tr4とがビット線方向に細長いゲート電極をもってビット線方向に4段に並べて配置されている。そして第2のビット線対 $BL_1, \overline{BL_1}$ 間に配置される第1のビット線対 $BL_0, \overline{BL_0}$ は、第12図で説明した方式によってMOSトランジスタTr1とTr2のゲート電極を利用して交差させている。次の二つのビット線対 $BL_2, \overline{BL_2}, BL_3, \overline{BL_3}$ に接続されるPMOSセンスアンプPSA₂, PSA₃についてもこれと反転したパターンで同様の構成原理に従って配置される。以上の4対分を基本パターンとしてワード線方向

にこれが繰返し配置される。従ってセンスアンプを構成するMOSトランジスタは、ワード線方向には4本のビット線に一個の割合いで配設されることになる。これにより、ビット線ピッチが数微なものとなってもMOSトランジスタのレイアウトは比較的容易に行なえる。

第16図および第17図は、第2図の実施例のビット線構成に対して、ビット線センスアンプを中間部に配置した実施例の等価回路的構成とそのレイアウトである。先の実施例と対応する部分には同一符号を付して詳細な説明は省く。この実施例では2対のビット線の外側を交差させるが、これを第13図で説明した方式により、メモリセルアレイの中央部に配置されるPMOSセンスアンプPSA₁, PSA₃, ...のMOSトランジスタのゲート電極を用いて実現している。

第18図および第19図は、第5図の実施例のビット線構成に対して、ビット線センスアンプを中間部に配置した実施例の等価回路的構成とそのレイアウトである。ここでも先の実施例と対応す

る部分には同一符号を付してある。この実施例では2対のビットの一方は外側を交差させ、他方は内側を交差させているが、これを第12図と第13図の方式を両方共利用して、メモリセルアレイの中央部に配置されるPMOSセンスアンプ PSA_1 、 PSA_2 、…のMOSトランジスタのゲート電極を用いて実現している。

以上のようにして第14図～第19図の実施例によれば、ビット線交差部を交差のための特別の配線を設けることなく実現することができ、ノイズ低減効果に加えてチップサイズ縮小にとって大きい効果が得られる。

【発明の効果】

以上述べたように本発明によれば、2対のビット線についてその一方を他方の間に挿入するようにし、かついずれか一方をメモリセルアレイの中央部で交差させることによって、少ない交差数で、従ってチップ面積の増大をもたらすことなく、高密度DRAMにおいて効果的にビット線間の結合容量による干渉ノイズを低減することができる。

線交差部にセンスアンプを設ける他の実施例のDRAMの要部構成を示す等価回路図、第17図はそのレイアウト図、第18図は同じくビット線センスアンプをビット線交差部に設ける他の実施例のDRAMの要部構成を示す等価回路図、第19図はそのレイアウト図、第20図は同じくビット線センスアンプをビット線交差部に設ける更に他の実施例のDRAMの要部構成を示す等価回路図、第21図はそのレイアウト図、第22図は通常の折返しビット線構造DRAMのメモリセル構成を示す図、第23図はそのビット線間の結合容量による干渉ノイズを説明するための電圧波形図、第24図は第1図と電気的に等価な他の実施例を示す図、第25図は第3図と電気的に等価な他の実施例を示す図、第26図は第5図と電気的に等価な他の実施例を示す図である。

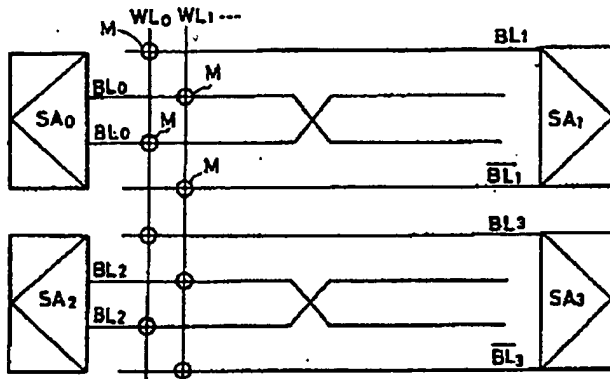
BL 、 \overline{BL} (BL_0 、 $\overline{BL_0}$ 、 BL_1 、 $\overline{BL_1}$ 、…) …ビット線、 WL (WL_0 、 WL_1 、…) …ワード線、 M …メモリセル、 SA (SA_0 、 SA_2 、…) …ビット線センスアンプ、 1_1 、

4. 図面の簡単な説明

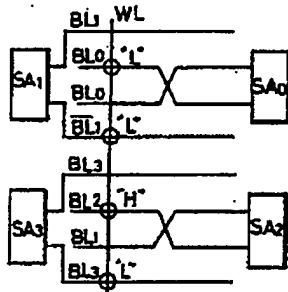
第1図は本発明の第1の実施例にかかるDRAMの要部構成を示す図、第2図はその最悪データ・パターンを示す図、第3図は第2の実施例にかかるDRAMの要部構成を示す図、第4図はその最悪データ・パターンを示す図、第5図は第3の実施例にかかるDRAMの要部構成を示す図、第6図はその最悪データ・パターンを示す図、第7図は第4の実施例にかかるDRAMの要部構成を示す図、第8図は第5の実施例にかかるDRAMの要部構成を示す図、第9図はそのビット線間の結合関係を示す図、第10図は第6の実施例にかかるDRAMの要部構成を示す図、第11図はそのビット線間の結合関係を示す図、第12図および第13図は、ビット線交差をセンスアンプのMOSトランジスタのゲート電極を用いて実現する方式を説明するための図、第14図はビット線センスアンプをビット線交差部に設ける実施例のDRAMの要部構成を示す等価回路図、第15図はそのレイアウト図、第16図はビット

1_2 、 2_1 、 2_2 …ゲート電極、 Tr (Tr_1 、 Tr_2 、…) …センスアンプMOSトランジスタ。

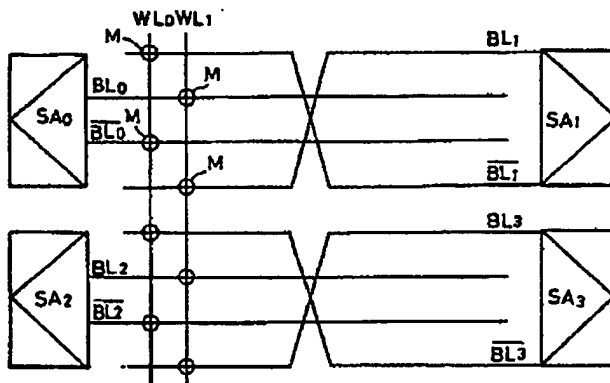
出願人代理人 弁理士 鈴江武彦



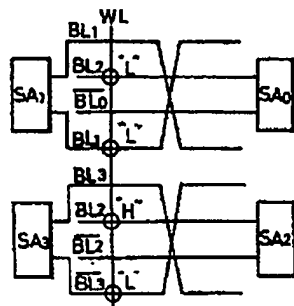
第 1 図



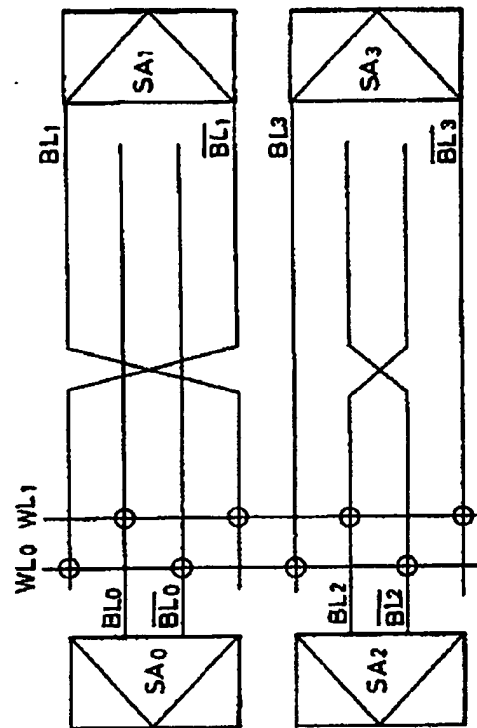
第 2 図



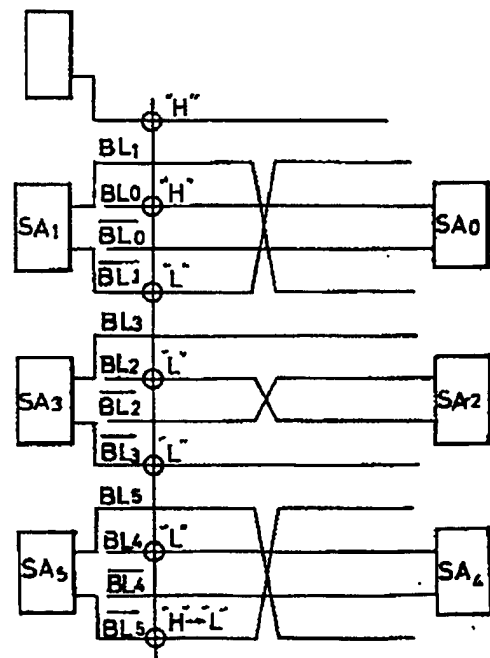
第 3 図



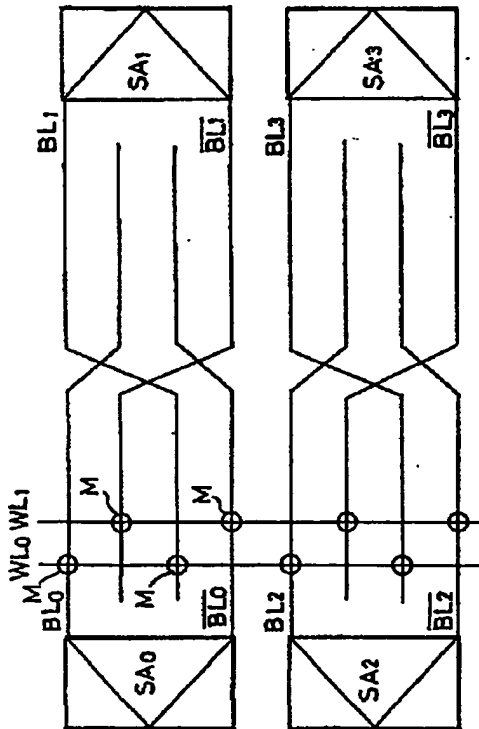
第 4 図



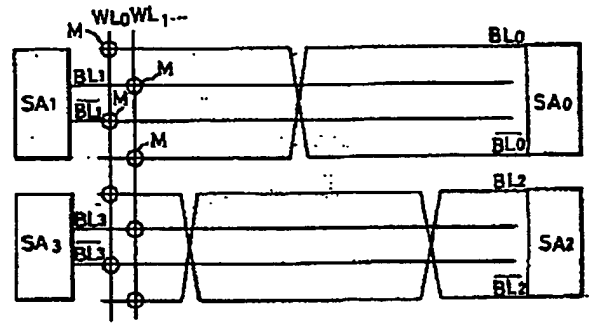
第 5 図



第 6 図



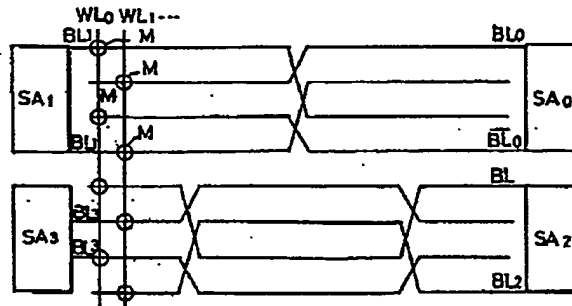
第 7 図



第 8 図

	BL ₀	\overline{BL}_0	BL ₁	\overline{BL}_1	BL ₂	\overline{BL}_2	BL ₃	\overline{BL}_3
BL ₀	1	0	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{2}C$	0	0
\overline{BL}_0	0	1	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{2}C$	0	0
BL ₁	$\frac{1}{2}C$	$\frac{1}{2}C$	1	0	0	0	0	0
\overline{BL}_1	$\frac{1}{2}C$	$\frac{1}{2}C$	0	1	0	0	0	0
BL ₂	$\frac{1}{2}C$	$\frac{1}{2}C$	0	0	1	0	$\frac{1}{2}C$	$\frac{1}{2}C$
\overline{BL}_2	$\frac{1}{2}C$	$\frac{1}{2}C$	0	0	0	1	$\frac{1}{2}C$	$\frac{1}{2}C$
BL ₃	0	0	0	0	$\frac{1}{2}C$	$\frac{1}{2}C$	1	0
\overline{BL}_3	0	0	0	0	$\frac{1}{2}C$	$\frac{1}{2}C$	0	1

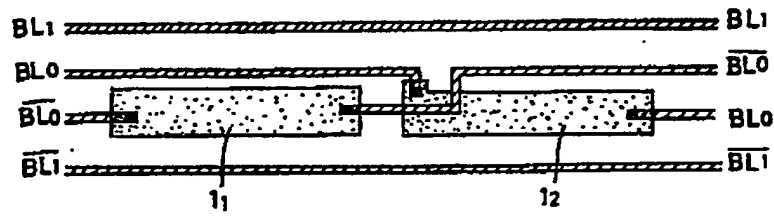
第 9 図



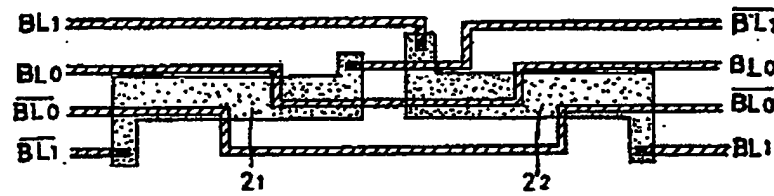
第 10 図

	BL ₀	\overline{BL}_0	BL ₁	\overline{BL}_1	BL ₂	\overline{BL}_2	BL ₃	\overline{BL}_3
BL ₀	1	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{2}C$	0	$\frac{1}{4}C$	0	$\frac{1}{4}C$
\overline{BL}_0	$\frac{1}{2}C$	1	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{4}C$	0	$\frac{1}{4}C$	0
BL ₁	$\frac{1}{2}C$	$\frac{1}{2}C$	1	$\frac{1}{2}C$	0	$\frac{1}{4}C$	0	$\frac{1}{4}C$
\overline{BL}_1	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{2}C$	1	$\frac{1}{4}C$	0	$\frac{1}{4}C$	0
BL ₂	0	$\frac{1}{4}C$	0	$\frac{1}{2}C$	1	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{2}C$
\overline{BL}_2	$\frac{1}{4}C$	0	$\frac{1}{4}C$	0	$\frac{1}{2}C$	1	$\frac{1}{2}C$	$\frac{1}{2}C$
BL ₃	0	$\frac{1}{4}C$	0	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{2}C$	1	$\frac{1}{2}C$
\overline{BL}_3	$\frac{1}{4}C$	0	$\frac{1}{4}C$	0	$\frac{1}{2}C$	$\frac{1}{2}C$	$\frac{1}{2}C$	1

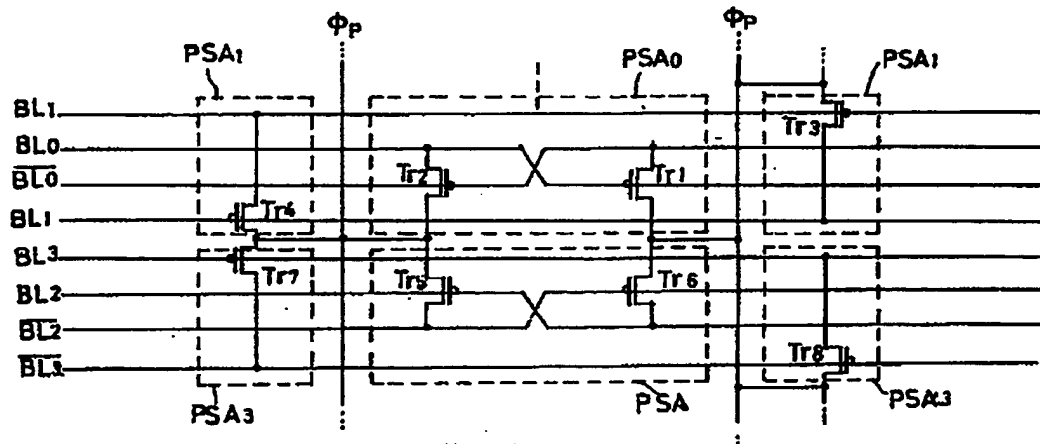
第 11 図



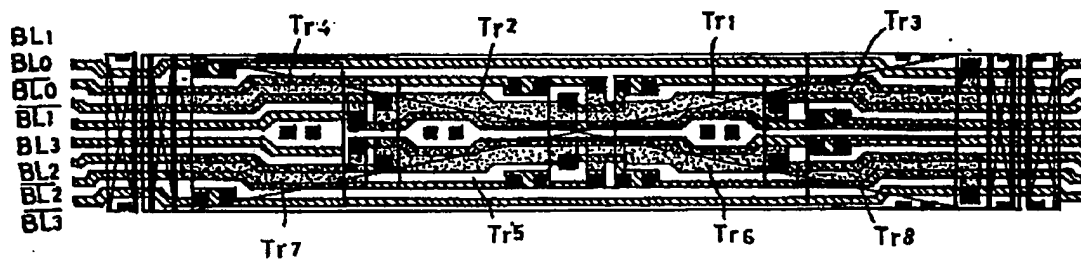
第 12 図



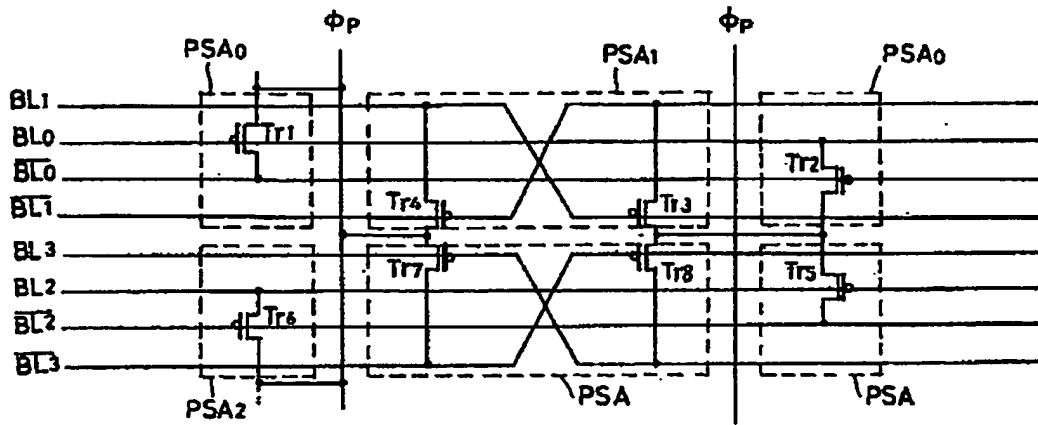
第 13 図



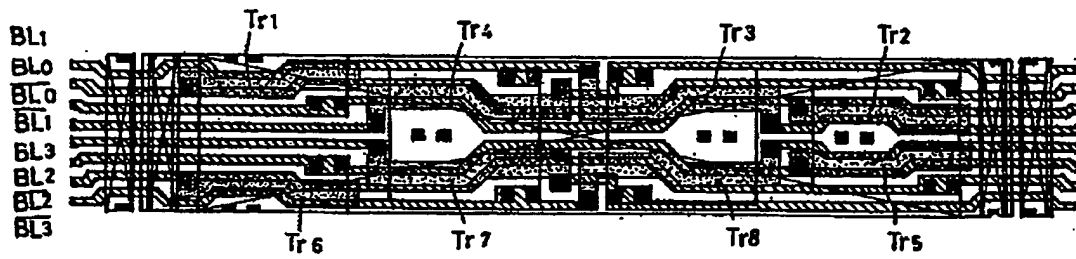
第 14 図



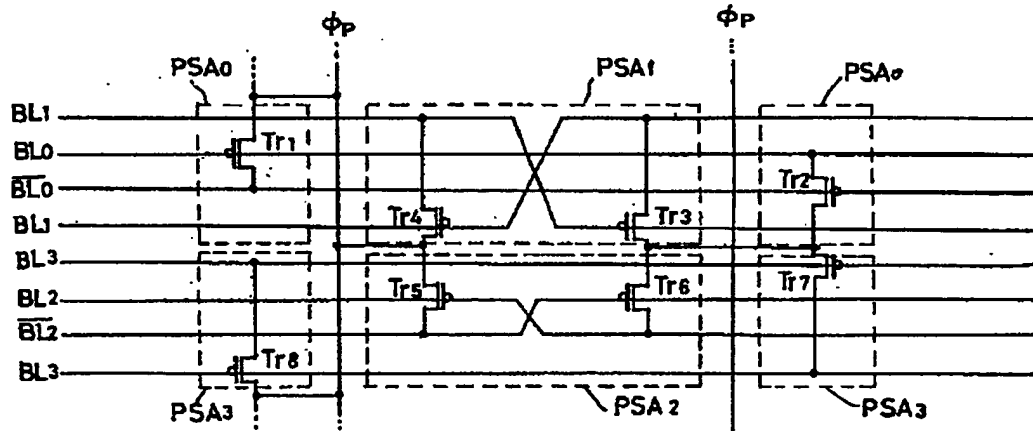
第 15 図



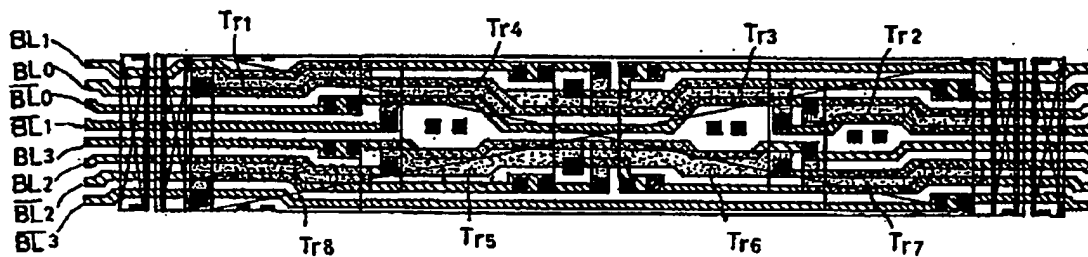
第 16 図



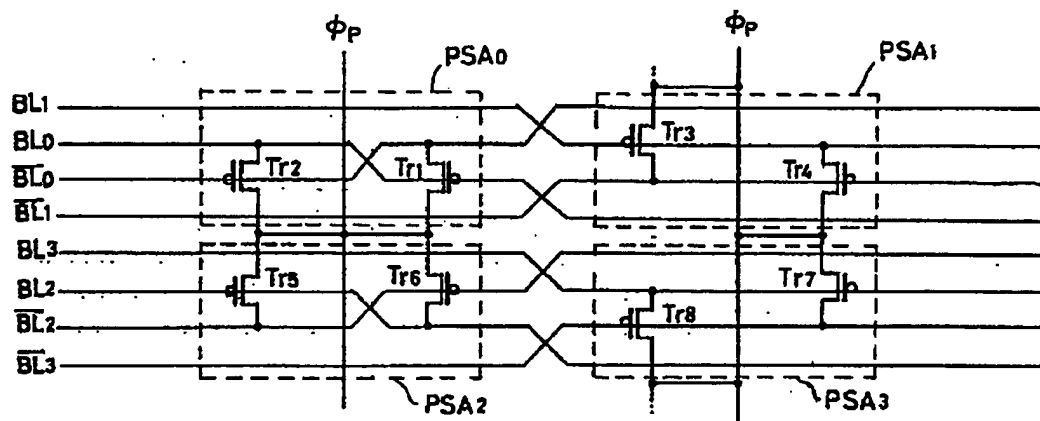
第 17 図



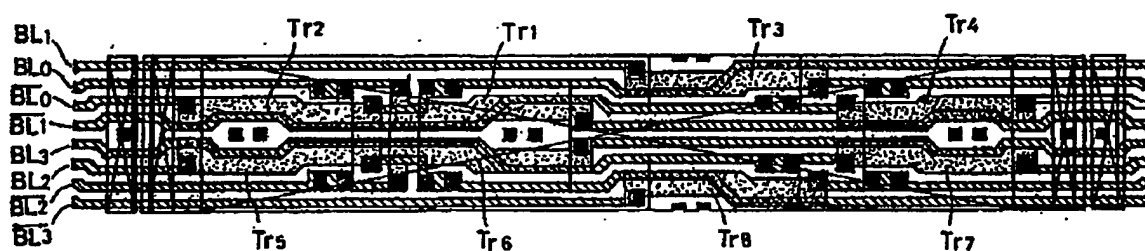
第 18 図



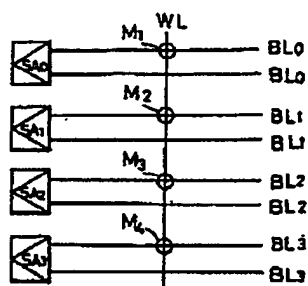
第 19 図



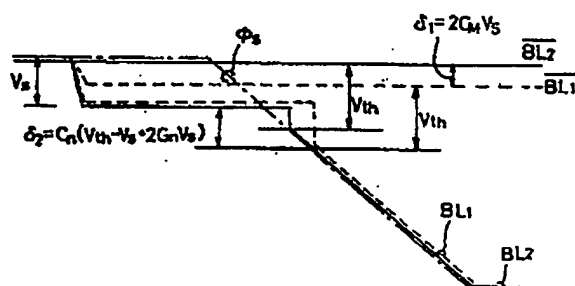
第 20 図



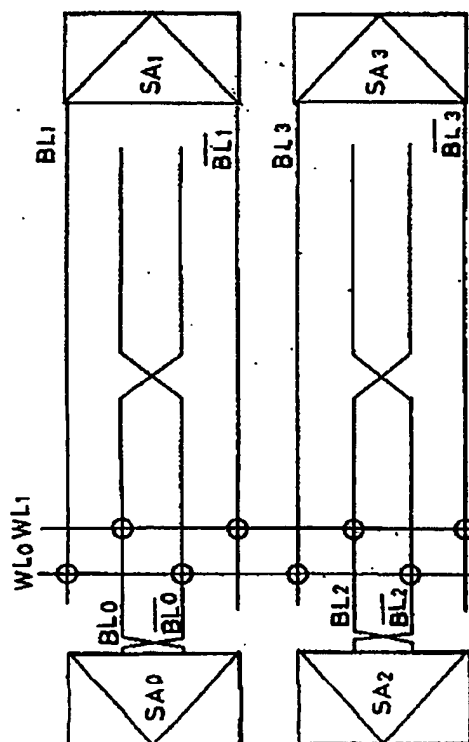
第 21 図



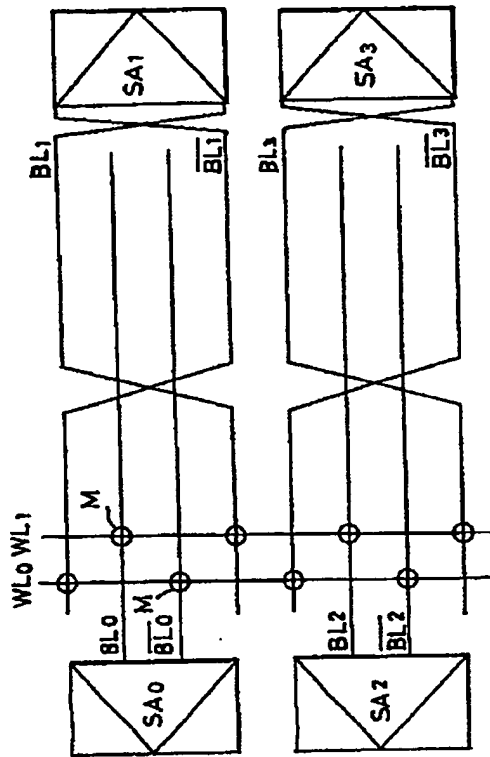
第 22 図



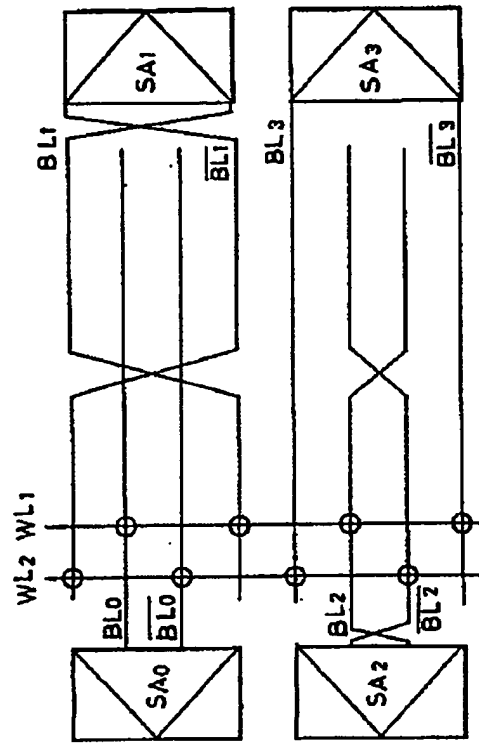
第 23 図



第 24 図



第 25 図



第 26 図